

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-16363

(43) 公開日 平成11年(1999) 1月22日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 11/412

G 1 1 C 11/40

3 0 1

H 0 1 L 21/8244

H 0 1 L 27/10

3 8 1

27/11

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号

特願平9-169130

(22) 出願日

平成9年(1997) 6月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山田 和志

東京都港区芝五丁目7番1号 日本電気株式会社内

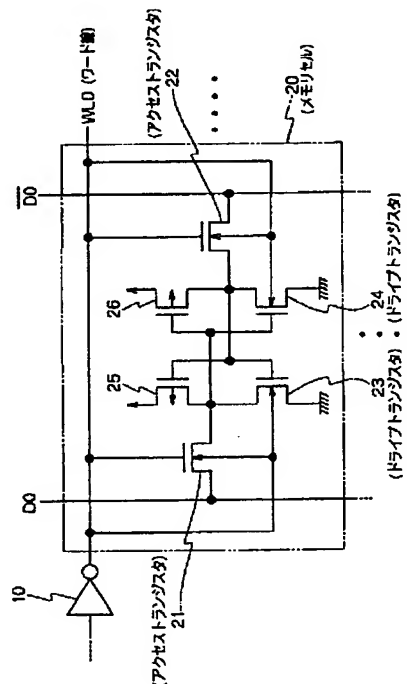
(74) 代理人 弁理士 高橋 勇

(54) 【発明の名称】 スタティック R A M

(57) 【要約】

【課題】 面積かつ簡素な回路で高速化と低電圧化とを両立でき、動作中のサブスレッショルド電流を低減した S R A Mを提供する。

【解決手段】 ドライバトランジスタ 2 3, 2 4 は、負荷トランジスタ 2 5, 2 6 とともにインバータラッチを形成しており、このインバータラッチの 2 つの記憶端子は、アクセストランジスタ 2 1, 2 2 を介してビット線対 D 0, D 0 ̄ に接続されている。アクセストランジスタ 2 1, 2 2 のゲート電極はワード線 W L 0 に接続されている。アクセストランジスタ 2 1, 2 2 及びドライバトランジスタ 2 3, 2 4 のウェルとワード線 W L 0 とが接続されている。



【特許請求の範囲】

【請求項1】 メモリセルを構成する1対のアクセストランジスタと1対のドライバトランジスタとが同一のウェル上に形成され、このウェルと前記メモリセルに接続されたワード線とが電氣的に接続されたバルクデバイスを用いたスタティックRAM。

【請求項2】 メモリセルを構成する1対のアクセストランジスタが同一のウェル上に形成され、このウェルと前記メモリセルに接続されたワード線とが電氣的に接続されたバルクデバイスを用いたスタティックRAM。

【請求項3】 アドレスの異なる複数のワード線を2本1組とし、この2本1組のワード線に接続されたメモリセルを構成するアクセストランジスタ及びドライバトランジスタが同一のウェル上に形成され、選択されたワード線に接続されているメモリセルを構成するアクセストランジスタ及びドライバトランジスタが形成されているウェルに対しては選択されたワード線と同一の電位を供給するとともに、前記2本1組のワード線の2本を非選択とされたメモリセルを構成するアクセストランジスタ及びドライバトランジスタが形成されているウェルに対しては非選択とされたワード線と同一の電位を供給する論理ゲートが設けられたバルクデバイスを用いたスタティックRAM。

【請求項4】 アドレスの異なる複数のワード線を2本1組とし、この2本1組のワード線に接続されたメモリセルを構成するアクセストランジスタが同一のウェル上に形成され、選択されたワード線に接続されているメモリセルを構成するアクセストランジスタが形成されているウェルに対しては選択されたワード線と同一の電位を供給するとともに、前記2本1組のワード線の2本を非選択とされたメモリセルを構成するアクセストランジスタが形成されているウェルに対しては非選択とされたワード線と同一の電位を供給する論理ゲートが設けられたバルクデバイスを用いたスタティックRAM。

【請求項5】 メモリセルを構成する1対のアクセストランジスタ及び1対のドライバトランジスタのチャネル領域の埋め込み絶縁膜を介した基板側直下に同一の下部電極が設けられ、この下部電極と前記メモリセルに接続されたワード線とが電氣的に接続されたSOIデバイスを用いたスタティックRAM。

【請求項6】 メモリセルを構成する1対のアクセストランジスタのチャネル領域の埋め込み絶縁膜を介した基板側直下に同一の下部電極が設けられ、この下部電極と前記メモリセルに接続されたワード線とが電氣的に接続されたSOIデバイスを用いたスタティックRAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置の分野に属し、詳しくは高速動作化に適したスタティックRAM (Static Random Access

Memory、以下「SRAM」という。)に関する。

【0002】

【従来の技術】 従来、この種のSRAMは、図9に示されるような構成が知られている(第1従来例)。図9のNchMOSのドライバトランジスタ23、24は、PchMOSの負荷トランジスタ25、26とともにインバータラッチを形成しており、このインバータラッチの2つの記憶端子は、NchMOSのアクセストランジスタ21、22を介してビット線対D0、D0バーに接続されている。アクセストランジスタ21、22のゲート電極は、ワード線WL0に接続されている。以上6つのトランジスタからなるメモリセル20は、ワード線WL0を共有して図の横方向に多数配置されるとともにビット線対D0、D0バーを共有して図の縦方向に多数配置される。図では示さないが、通常のCMOS回路同様、NchMOSのアクセストランジスタ21、22及びドライバトランジスタ23、24のウェルは接地電位に固定され、PchMOSの負荷トランジスタ25、26のウェルは電源電位に固定される。

【0003】 さて、このメモリセルが選択されたとき、すなわちワードドライバ10がハイレベルを出力するとき、外部とのデータのやりとりはビット線対を介して行われるため、メモリの読み出し速度と書き込み速度は、アクセストランジスタ21、22のオン電流によって定められる。したがって、図10に示すSRAMの第2従来例のように、電源電位 V_{dd} よりも高い昇圧電位 V_{pp} をワードドライバ10に供給することによってワード線の電位、すなわちアクセストランジスタ21、22のゲート電圧を増加させて読み出し動作及び書き込み動作を高速化させる手法が広く用いられている。

【0004】 一方、SRAMのメモリセルが読み出し動作時にもデータを安定して保持するためには、ドライバトランジスタ23、24のオン電流が、アクセストランジスタ21、22のオン電流よりも充分に大きいことが必要である。しかし、図10に示すSRAM回路(第2従来例)は、図9に示すSRAM回路(第1従来例)と比較して、アクセストランジスタ21、22のオン電流を増加させるのに対して、ドライバトランジスタ23、24のオン電流は変化しない。このためデータ保持安定性は悪化する。また、昇圧電位はチャージポンプ回路等で発生させることが多いが、大容量のキャパシタを必要とするため面積も大きい。

【0005】 次に、特開平7-211079号公報に記載されているSRAM回路を、第3従来例として図11に示す。この回路は、バックバイアス電圧供給回路13の出力をアクセストランジスタ21、22のウェルとドライバトランジスタ23、24のウェルの両方に接続したものである。バックバイアス電圧供給回路13は、接地電位又は負電位(例えば-2V)のいずれかを供給で

きる電圧源で、負電位はチャージポンプ回路を用いて発生させている。このSRAM回路は、低しきい値電圧（例えば0.4V）のトランジスタでSRAMメモリセルを構成している点の一つの特徴である。一般にMOSトランジスタは、しきい値が低いほど、オン電流が増加する一方で、オフ時の電流（サブスレッショルド電流）がそれ以上に急激に増大する。よってこの第3従来例では、動作時に低しきい値トランジスタの大きなオン電流を活かして高速化を図り、非動作時にはバックバイアス電圧供給回路13を用いてPウェルの電位を負電位に設定し、アクセストランジスタ21、22とドライバトランジスタ23、24のしきい値を高く（例えば0.9V）することによってサブスレッショルド電流の低減を図っている。

【0006】しかし第2従来例では、選択された1本のワード線に対してだけ昇圧電位を発生させればよいが、第3従来例においては、全メモリセルのPウェルを負電位に駆動するため、動作時から非動作時への切り換えに大電力を要するうえ、切り替わる時間も長いので頻繁に非動作モードへ切り換えることができない。また、SRAMが動作しないときに負電位を発生し続けなければならないので、メモリセルのリーク電流低減効果は、バックバイアス電圧供給回路13の消費電力によって一部相殺される。

【0007】次に、特開平7-296587号公報に記載されているSRAM回路を、第4従来例として図12に示す。このSRAM回路は、メモリセル20のドライバトランジスタ23、24のソース端子を負側ソース共通配線 V_{ss} に接続し、アクセストランジスタ21、22とドライバトランジスタ23、24のウェル端子を接地電位線GNDに接続する。さらに、負側ソース共通配線 V_{ss} と接地配線GNDとを、NチャネルMOSトランジスタ36と高抵抗素子37との双方によって接続するという構成になっている。

【0008】この第4従来例もまた、低しきい値電圧のトランジスタによってメモリセルを構成している。NチャネルMOSトランジスタ36のゲート電極には、チップイネーブル信号CEが入力されており、動作時にはNチャネルMOSトランジスタ36が導通する。このため、負側ソース共通配線 V_{ss} と接地電位線GNDとは同電位となり、通常の低しきい値トランジスタで構成したSRAMと同様に高速動作可能である。これに対して非動作時には、NチャネルMOSトランジスタ36をオフするため、負側ソース共通配線 V_{ss} と接地電位線GNDとは高抵抗素子37を介してのみ接続される。ドライバトランジスタ23、24は低しきい値なので非動作時にも不要なサブスレッショルド電流が流れるが、接地配線GNDへは高抵抗素子37を介して流れ込むため、負側ソース共通配線 V_{ss} は接地電位線GNDよりもある程度電位が高くなる。そのため、等価的にドライバトランジ

スタ23、24のウェル電位が低くなったのと同様の効果が得られ、ドライバトランジスタ23、24のしきい値が高くなる。NチャネルMOSトランジスタ36のオン抵抗は充分低くしなければ、動作時の速度低下を招くため、面積を大きくせざるを得ない。ただし、NチャネルMOSトランジスタ36のサブスレッショルド電流は小さくしなければならない。

【0009】

【発明が解決しようとする課題】第1の問題点は、回路素子数が増加するという点である。その理由は、第2及び第3従来例（図10及び図11）ではチャージポンプなどの昇圧（又は降圧）回路を、第4従来例ではスタンバイ電流制御回路（図12の36、37）を新たに付加しなければならないからである。

【0010】第2の問題点は、それに伴い面積が大きくなるという点である。第2及び第3従来例に用いられている昇圧（又は降圧）電位発生回路は、大容量のキャパシタを必要とするため面積が大きくなってしまふ。第4従来例においてチップイネーブルスイッチとして用いられているNチャネルMOSトランジスタ36は、SRAM動作時にソース・ドレイン間にほとんど電位差が生じない状態で電流を流さなければならないので、非常に大きな面積が必要となる。

【0011】第3の問題点は、回路設計が複雑になるということである。第2及び第3従来例に用いられる昇圧（又は降圧回路）電位発生回路や、第4従来例に用いられるスタンバイ電流制御回路は、アナログ動作回路なのでプロセスのばらつきなどを精密に加味した設計を行う必要がある。

【0012】第4の問題点は、第3及び第4従来例のSRAM動作中において、選択されていないメモリセルのサブスレッショルド電流が大きいということである。この電流は、高速化に寄与しない不必要な消費電力増加を招くばかりか、アクセストランジスタのサブスレッショルド電流によってビット線対と選択されていないメモリセル間の電荷交換が起こってしまう。1つのビット線対には、選択されないメモリセルが一般に数百～数千個接続されているので、選択されたメモリセルのオン電流に比べてこの電荷交換が無視できないこともあり得る。その際は、SRAMの読み出し速度がメモリセルの記憶データパターンによってばらついてしまう。

【0013】

【発明の目的】そこで、本発明の目的は、小面積かつ簡素な回路で高速化と低電圧化とを両立できるSRAMを提供することにある。本発明の他の目的は、動作中のサブスレッショルド電流を低減したSRAMを提供することにある。

【0014】

【課題を解決するための手段】本発明のSRAMは、ワード線（図1のWL0）とメモリセル内のアクセストラ

ンジスタ（図1の21, 22）のウェル、又はワード線とメモリセル内のアクセストランジスタのウェルとドライバトランジスタ（図1の23, 24）のウェルとが直接接続されたものである。又は、1本のワード線が選択され駆動されるとき、それによって選択されるメモリセル内のアクセストランジスタのウェル、又はメモリセル内のアクセストランジスタのウェル及びドライバトランジスタのウェルをワード線と同電位に駆動する論理ゲートを備える。

【0015】本発明のSRAMの読み出し／書き込み動作において、ワード線が1本選択されハイレベルに駆動されたとき、選択されたメモリセルのアクセストランジスタのPウェルが同時にハイレベルに駆動される。これによって、アクセストランジスタのしきい値 V_{thN} が低下し、オン電流が増加する。したがって、メモリセルへのデータ読み出し／書き込みが高速化する。また、ワード線が選択されハイレベルに駆動されたとき、選択されたメモリセルのアクセストランジスタのPウェルとドライバトランジスタのPウェルとが同時にハイレベルに駆動されたときは、アクセストランジスタの V_{thN} とドライバトランジスタの V_{th} との双方が低下するので、SRAM動作の高速化がメモリセルのノイズマージンを劣化することなく実現できる。

【0016】

【発明の実施の形態】図1は、本発明の第1実施形態の構成を示す回路図である。NchMOSのドライバトランジスタ23, 24は、PchMOSの負荷トランジスタ25, 26とともにインバータラッチを形成しており、このインバータラッチの2つの記憶端子は、NchMOSのアクセストランジスタ21, 22を介してビット線対D0, D0バーに接続されている。アクセストランジスタ21, 22のゲート電極はワード線WL0に接続されている。以上6つのトランジスタからなるメモリセル20は、ワード線WL0を共有して図の横方向に多数配置されるとともにビット線対D0, D0バーを共有して図の縦方向に多数配置される。本実施形態では、さらにドライバトランジスタ23, 24のウェルとワード線WL0とが接続されることが特徴である。

【0017】次に、図1の回路動作について図を参照して説明する。従来例と同様ワードドライバ10の出力（すなわちワード線WL0）がハイレベルとなることで、メモリセルデータの読み出しや書き込みが行われる。このときワード線WL0とNchMOSのアクセストランジスタ21, 22及びドライバトランジスタ23, 24のウェルとが接続されているので、メモリセルアクセス時はウェルの電位が上昇する。

【0018】一般にウェルの電位が上昇したとき、そのウェル上に形成されたNchMOSトランジスタのしきい値 V_{thN} は低下する。MOSトランジスタのしきい値が低下するとトランジスタのオン電流が増加するので、

アクセストランジスタ21, 22のオン電流増加により、メモリセルの読み出し及び書き込み速度が速くなる。このとき同時に、ドライバトランジスタ23, 24のオン電流も増加するので、メモリセルの読み出しノイズマージンは悪化しない。

【0019】本発明を通常のパルクCMOSデバイスに適用する場合、メモリセルアクセス時にPウェルの電位がハイレベルまで上昇する。この電位がPN接合の順方向電圧 V_f 以上であれば、NchMOSTランジスタのソース電極やドレイン電極へとリーク電流が流れ、誤動作を引き起こす。したがって本発明をパルクCMOSに適用するときは、電源電圧 V_{dd} を V_f 以下（例えば0.5V）とする。

【0020】また、ワードドライバでメモリセルのウェル電位も駆動するためワードドライバの負荷容量が増加し、図9～図12に示した従来例のワードドライバ10よりも図1のワードドライバ10の方が面積は大きくなる。しかし本発明では新たな回路を付加しないので、回路設計工程が増加することはない。

【0021】図2は、本発明の第2実施形態の構成を示す回路図である。図2において、アクセストランジスタ21, 22のウェル端子にワード線WL0が接続されるのは、本発明の第1実施形態と同一であるが、本実施形態では、ドライバトランジスタ23, 24のウェルには接続されない。これによって、ワードドライバ10の負荷容量は第1実施形態（図1）よりも減少し、同じ立ち上がり時間に対し、ワードドライバの面積は減少する。ただし、本実施形態をパルクCMOSデバイスに適用する場合は、アクセストランジスタ21, 22のウェルとドライバトランジスタ23, 24のウェルを分離しなければならないので、メモリセルの面積が多少増加する可能性がある。

【0022】図3は、本発明の第3実施形態の構成を示す回路図である。図1及び図2に示した第1及び第2実施形態では、ワードドライバ10を用いてメモリセルのPウェルを駆動していたが、図3においてはNANDゲート12を用いて駆動している。NANDゲート12の2つの入力端子は、隣接する2つのワードドライバ10, 11の入力端子WL0, WL1とそれぞれ共有される。この構成とすることによりパルクCMOSデバイスでは、ビット線方向に隣接する2つのメモリセル20, 27のPウェルを分離する必要がなくなり、図1よりもメモリセル面積が減少する。

【0023】以上の本発明実施形態の説明には、全て6トランジスタ形SRAMメモリセルを用いていたが、図4に示すような4トランジスタ形メモリセルを用いてもよい（第4実施形態）。しかしパルクCMOSデバイスでは、ビット線方向に隣接するメモリセル間でPウェルを分離しなければならないので、セル面積が多少増加する。

【0024】図5は、本発明の第3実施形態（図3）をバルクCMOSデバイスに適用したときの要部レイアウト平面図である。また、図6は、図5のA-A'線の断面図である。N形基板40の上部にPウェル43が形成され、その上部に拡散層60、61が形成されNchMOSTランジスタ領域となっている。図5において、Pウェル43の外側にはNウェルが形成され、その上部に拡散層62、63、64、65が形成されPchMOSTランジスタ領域となっている。拡散層のさらに上部には、ゲート絶縁膜を介してゲート電極50、51、52、53、54、55が形成されている。金属配線70、71、…、81は、コンタクトを介してそれぞれゲート電極や拡散層に接続されている。図3に示した回路図と対比すると、ゲート電極50、51がそれぞれワード線WL0、WL1に相当し、金属配線70、71がビット線D0、D0バーに相当し、金属配線80、81は電源線に相当し、金属配線72、73、74、75は接地線に相当する。本発明の第3実施形態の説明で既に述べたように、ワード線入力信号WL0バー、WL1バーはそれぞれワードドライバ10、11とPウェルドライバ12に接続される。ワードドライバ10、11の出力はそれぞれゲート電極50、51に接続され、Pウェルドライバ12の出力はPウェル43に接続される。

【0025】図7は、本発明の第1実施形態（図1）を完全空乏化形SOI（Silicon On Insulator）デバイスに適用したときの要部レイアウト平面図である（第5実施形態）。また、図8は、図7のA-A'線の断面図である。P形基板41の上部に埋め込み絶縁膜42が形成され、さらに上部に拡散層領域60、61、62、63、64、65を形成し、拡散層60、61をNchMOSTランジスタ領域として、拡散層62、63、64、65をPchMOSTランジスタ領域として用いる。拡散層より上部のゲート電極や金属配線については図5と同様であり、対応する同じ部分には同じ符号を付したので説明は省略する。

【0026】P形基板41の表層と埋め込み絶縁膜42との界面部分には、N形ウェル領域44、45が形成されている。N形ウェル領域44はワード線50とワードドライバ10の出力に接続され、ワード線50を含むメモリセルの4つのNchMOSTランジスタのチャンネル領域直下に存在する。N形ウェル領域45はワード線51とワードドライバ11の出力に接続され、ワード線51を含むメモリセルの4つのNchMOSTランジスタのチャンネル領域直下に存在する。

【0027】さて、完全空乏化形SOIデバイスでは、チャンネル領域直下のウェル（バックゲートと呼ばれることもある）の電位を変化させることでランジスタのしきい値 V_{th} を変化させることができる。したがって、図7及び図8の構成で、バルクCMOSのときと同様にスタティックRAM動作の高速化が図られる。

【0028】また、SOIデバイスを用いた場合における特徴として、ワードドライバ10、11が駆動するバックゲート44、45の容量がバルクCMOSのウェルの容量に比べて格段に小さくなり、ワードドライバの面積が小さくできることがある。他には、バックゲート44、45がN形半導体なので、電源電圧 V_{dd} が高い（例えば5V）SRAMであっても、バックゲート（Nウェル）44、45からP形基板41へのリーク電流は非常に小さくなる。さらに、拡散層とバックゲート間が埋め込み絶縁膜42で絶縁されているので、バックゲートのレイアウトの自由度がバルクCMOSのウェルのレイアウトの自由度よりも高く、そのためバックゲート間を電気的に絶縁することが容易である。

【0029】

【発明の効果】第1の効果は、回路素子数を増加させずにSRAMの高速動作が可能ということである。その理由は、チャージポンプなどの新たな回路を搭載せずに、通常のワードドライバを用いてウェルを駆動することによってアクセストランジスタのオン電流を増加させるからである。

【0030】第2の効果は、特にSOIデバイスに適用した場合、面積の増加が最小限に抑えられるということである。その理由は、大面積を占めるチャージポンプキャパシタやMOSスイッチを設ける必要がないからである。

【0031】第3の効果は、回路設計が容易ということである。このため、回路設計期間の増大が避けられる。その理由は、本発明はワードドライバのゲート幅を調整するだけでSRAM動作の高速化が図られるからである。

【0032】第4の効果は、第3及び4従来例（図11及び図12）と比較してSRAM動作中のサブスレッシュヨルド電流が低減できるということである。このため、動作中の消費電力が低減できる。その理由は、選択するワード線に付随するメモリセルのランジスタ以外のしきい値は高いからである。

【図面の簡単な説明】

【図1】本発明の第1及び第5実施形態を示す回路構成図である。

【図2】本発明の第2実施形態を示す回路構成図である。

【図3】本発明の第3実施形態を示す回路構成図である。

【図4】本発明の第4実施形態を示す回路構成図である。

【図5】本発明の第3実施形態における要部レイアウト平面図である。

【図6】図5をA-A'線で切断したときの断面図である。

【図7】本発明の第5実施形態における要部レイアウト

平面図である。

【図 8】図 7 を A-A' 線で切断したときの断面図である。

【図 9】第 1 従来例を示す回路構成図である。

【図 10】第 2 従来例を示す回路構成図である。

【図 11】第 3 従来例を示す回路構成図である。

【図 12】第 4 従来例を示す回路構成図である。

【符号の説明】

10, 11 ワードドライバ

12 Pウェルドライバ

13 バックバイアス電圧供給回路

20, 27 SRAMメモリセル

21, 22, 28, 29 アクセストランジスタ

23, 24, 30, 31 ドライブトランジスタ

25, 26, 32, 33 負荷トランジスタ

34, 35 負荷抵抗

36 チップイネーブルスイッチ

37 抵抗素子

40 N形半導体基板

41 P形半導体基板

42 埋め込み酸化膜

43 Pウェル

44, 45 バックゲート

50, 51 ワード線

52, 53, 54, 55 ポリシリコンゲート

60, 61 N形拡散層

62, 63, 64, 65 P形拡散層

70, 71, 72, 73, 74, 75, 76, 77, 78, 79, 80, 81 金属配線

D0, D0バー ビット線

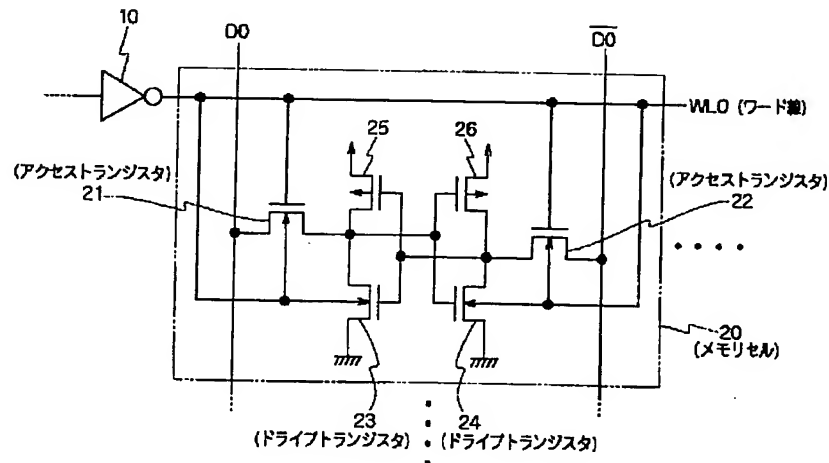
Pw1 Pウェル電位供給線

V_{pp} 昇圧電位

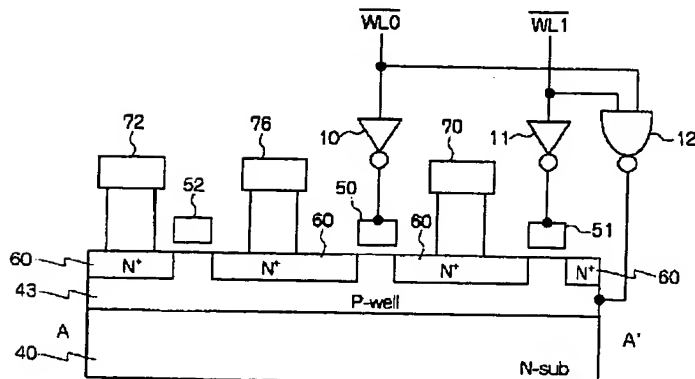
WL0, WL1 ワード線

WL0バー, WL1バー ワード線入力信号

【図 1】

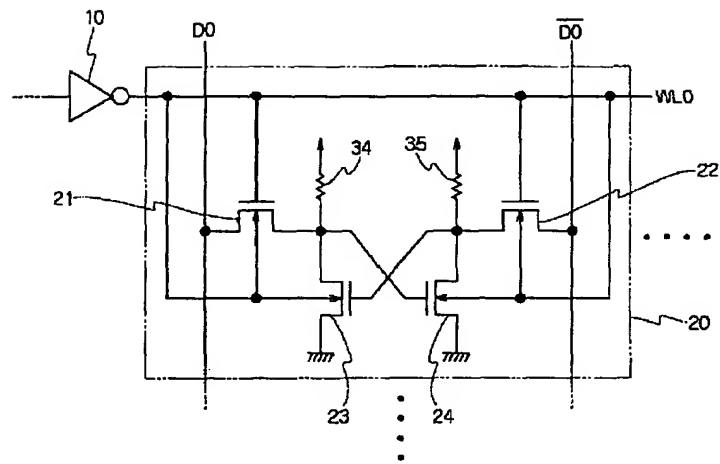


【図 6】

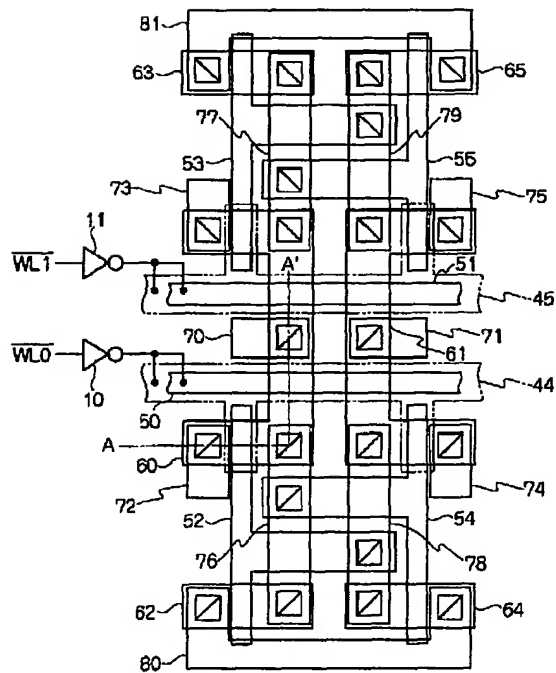


The diagram illustrates a 1T1R1C1 memory cell array. It features a grid of memory cells. Each cell is composed of an access transistor (21, 22) and a storage capacitor (23, 24). The word lines (WL0, WL1) are connected to the gates of the access transistors. The bit lines (D0, D1, ..., Dn) are connected to the drains of the access transistors. The data lines (23, 24) are connected to the sources of the access transistors. The circuit includes a word line driver (10, 11, 12) and a data line driver (20).

【図4】



【図7】



[illegible][illegible][illegible]

The diagram illustrates a semiconductor device with a crossbar array of transistors. A word line (WL0) is connected to the gates of the transistors. A bit line (D0) is connected to the drains of the transistors. A back-bias voltage supply circuit (13) is connected to the sources of the transistors. The diagram includes labels for various components: 10 (input), 13 (back-bias voltage supply circuit), 20 (array), 21, 22, 23, 24, 25, 26, and 27.